

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-110897

(43)Date of publication of application : 20.04.2001

(51)Int.Cl.

H01L 21/768

(21)Application number : 11-289102

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 12.10.1999

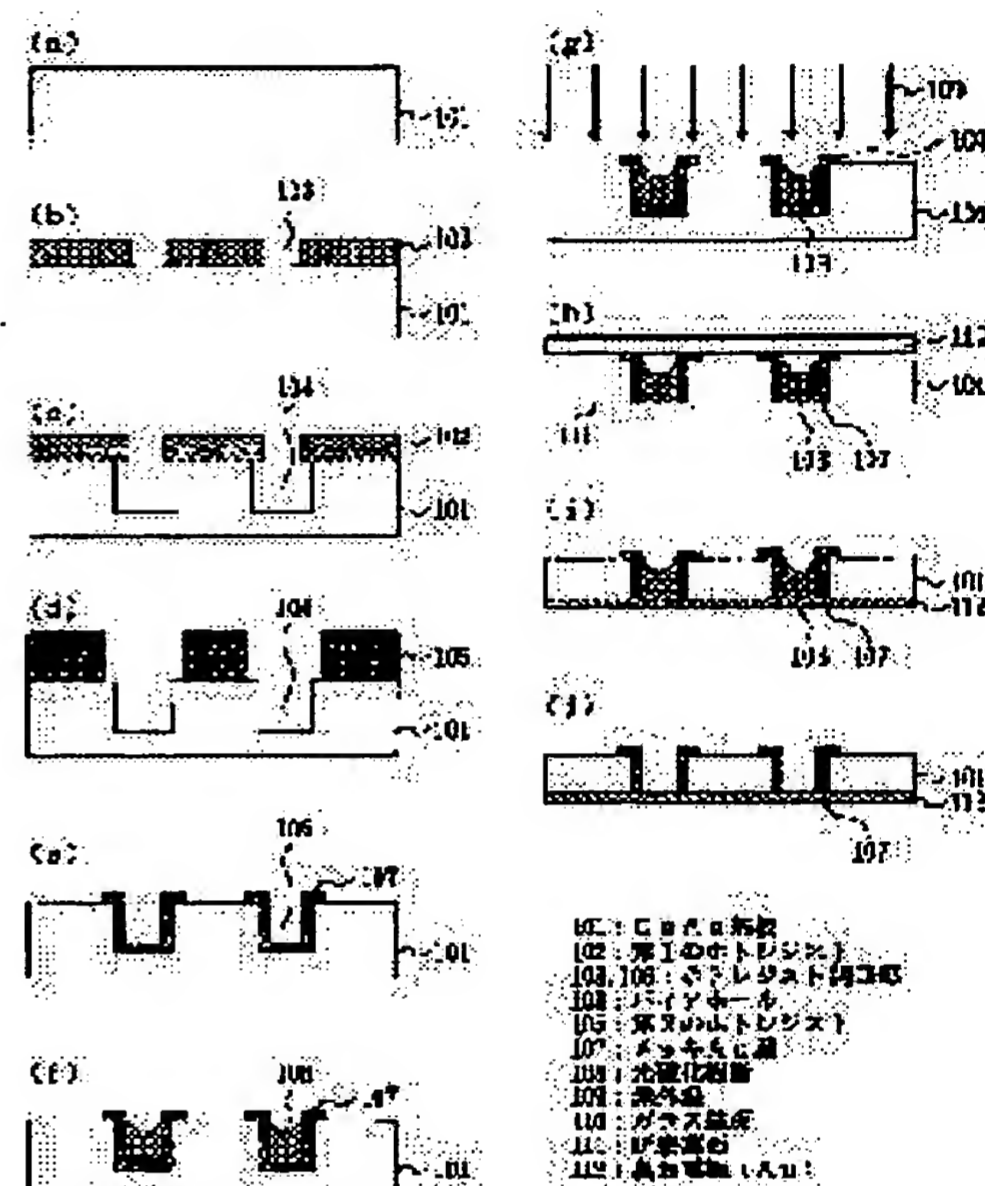
(72)Inventor : IKETANI MASAHIKA

## (54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a manufacturing method for a semiconductor device with high reliability wherein delivery is shortened while bonding is assured, without degradation in the characteristics of a semiconductor device.

**SOLUTION:** A first photo-resist 102 is applied on a GaAs substrate 101, and a photo-resist opening part 103 is formed, and a via hole 104 is formed. Then, a second photo-resist 105 is applied to form a photo-resist opening part 106, and a plated Au layer 107 is formed by an electroless plating method. Then a photo-setting resin 108 is applied, which is left only in the via hole 104. Then the resin 108 is irradiated with ultraviolet ray 109 to solidify it. By the ultraviolet ray irradiation, the adhesion between the resin in the via hole 104 and the plated Au layer 107 is enhanced while the hardness of the photo-setting resin 108 is raised to enable the resin to bear an impact in the polishing treatment as a reinforcing material.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-110897

(P2001-110897A)

(43)公開日 平成13年4月20日(2001.4.20)

(51)Int.Cl.<sup>7</sup>

H 0 1 L 21/768

識別記号

F I

H 0 1 L 21/90

テ-マ-ト(参考)

S 5 F 0 3 3

N

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21)出願番号

特願平11-289102

(22)出願日

平成11年10月12日(1999. 10. 12)

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 池谷 昌久

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(74)代理人 100089635

弁理士 清水 守 (外1名)

Fターム(参考) 5F033 GG01 GG02 HH13 JJ13 KK13

MM30 PP19 PP28 QQ11 QQ19

QQ37 QQ41 QQ48 RR27 RR30

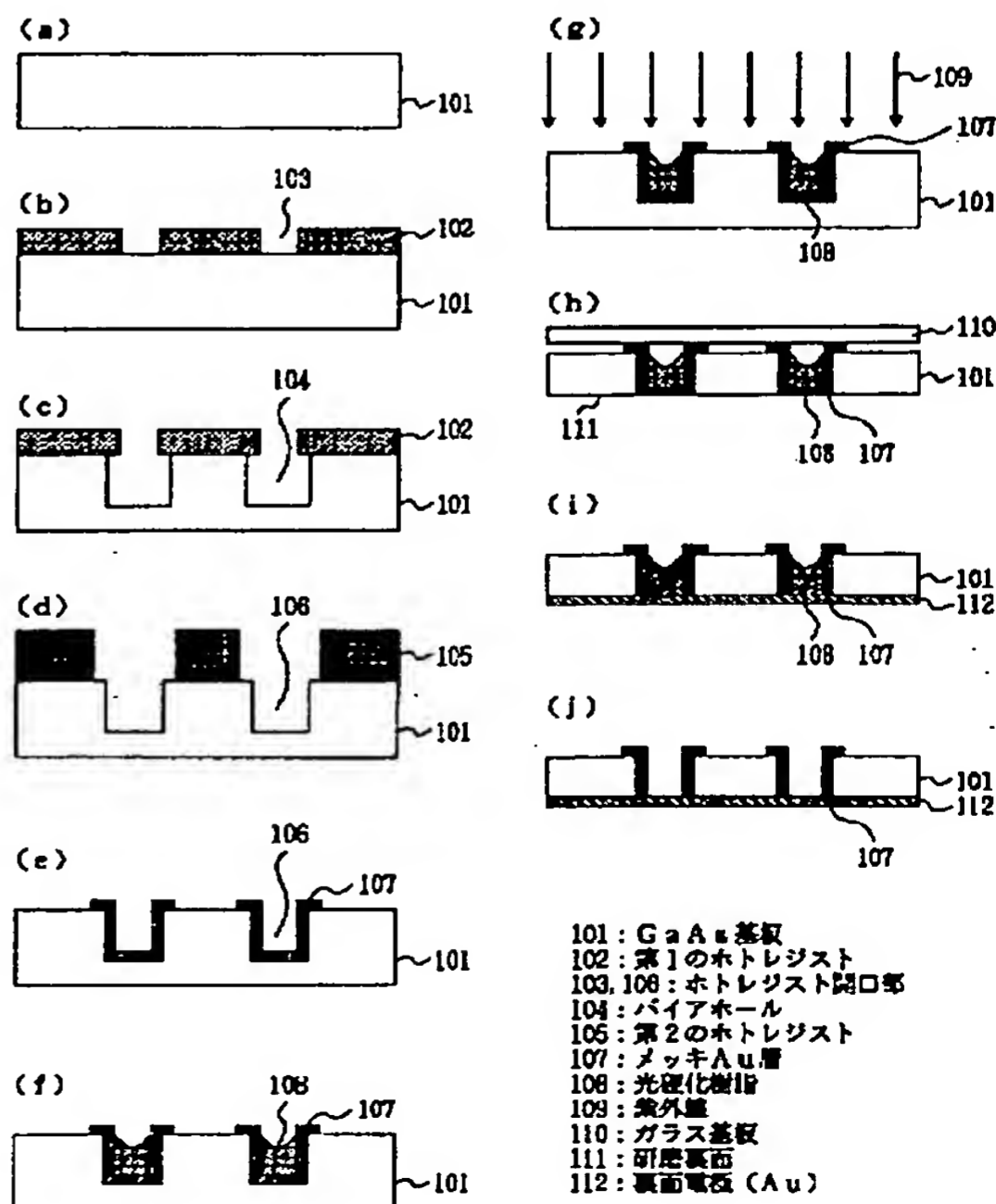
SS21 XX33

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 半導体装置の特性を損なうことなく、納期の短縮化とボンディングの確実化を図り得る信頼性の高い半導体装置の製造方法を提供する。

【解決手段】 GaAs基板101上に第1のホトレジスト102を塗布し、ホトレジスト開口部103を形成して、バイアホール104を形成する。次に、第2のホトレジスト105を塗布し、ホトレジスト開口部106を形成し、無電解メッキ法によりメッキAu層107を形成する。次に、光硬化樹脂108を塗布し、それをバイアホール104内のみに残存させる。次に、紫外線109を照射し、光硬化樹脂108を硬化する。この紫外線照射によりバイアホール104内の樹脂とメッキAu層107との密着性が向上するとともに、光硬化樹脂108の硬度が上昇し、補強材料として研磨加工時の衝撃に耐え得るようになる。



## 【特許請求の範囲】

【請求項1】 表面バイアホールの製造において、バイアホール内の埋め込み材料として光硬化樹脂を使用することを特徴とする半導体装置の製造方法。

【請求項2】 表面バイアホールの製造において、表面バイアホールが形成されているエアーブリッジ配線のバイアホールの埋め込み材料と前記エアーブリッジ配線の下層レジストとを光硬化樹脂により同時に形成することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、バイアホール内の埋め込み材料として、仮接着材料として開発された光硬化樹脂を使用することにより、安定した品質と、大幅な処理時間短縮を実現することを、特徴とする半導体素子の製造方法に関するものである。

## 【0002】

【従来の技術】従来の表面バイアホール内への埋め込み方法をGaAs ICの製造工程を例に挙げて説明する。

【0003】図3はかかる従来の表面バイアホール内への埋め込み工程図である。

【0004】まず、図3(a)に示すように、GaAs基板1を用意する。

【0005】次に、図3(b)に示すように、GaAs基板1に第1のホトレジスト2を塗布し、ホトレジスト開口部3を所定の場所にホトリソグラフィ法で形成する。

【0006】次に、図3(c)に示すように、ホトレジスト開口部3を有する第1のホトレジスト2をエッチングマスクとして、ドライエッチング法により、約70 $\mu$ m深さのバイアホール4を形成する。

【0007】次に、図3(d)に示すように、第1のホトレジスト2を除去後、第2のホトレジスト5を塗布し、ホトレジスト開口部6を所定の場所にホトリソグラフィ法で形成する。

【0008】次に、図3(e)に示すように、ホトレジスト開口部6を有する第2のホトレジスト5をマスクにして、無電解メッキ法によりメッキAu層7を形成する。なお、この図では、第2のホトレジスト5は除去している。

【0009】次に、図3(f)に示すように、ポリイミド(粘度35cp)8を塗布する。スピンコート条件は1000rpmで、バイアホール4内が完全に埋め込まれることと、ウエハ表面の厚さは約10 $\mu$ m程度の条件とする。ここで、ポリイミド8を硬化するため、約350℃で1時間ベーク処理する。この熱処理により、バイアホール4内のポリイミド8とメッキAu層7との密着性が向上するとともに、ポリイミド8の硬度が上昇し、補強材料として研磨加工時の衝撃に耐え得るようになる。

【0010】次に、図3(g)に示すように、ドライエッチング法により、ウエハ表面のポリイミド8をエッチバックする。この時バイアホール4内には約60 $\mu$ m厚さの硬化後のポリイミド9が残存し、バイアホール4内の穴埋めが形成される。

【0011】次に、図3(h)に示すように、ガラス基板10の支持体にバイアホール4のバターン側をワックスにて張り合わせ、その逆側を機械研磨法にて約50 $\mu$ m厚さまで研磨する。この時、バイアホール4内のメッキAu層7はポリイミド9により補強されるため、GaAs基板1より剥がれることはない。また、機械研磨法によりGaAs基板1とともにポリイミド9も研磨される。なお、11は研磨裏面である。

【0012】次に、図3(i)に示すように、真空蒸着法にて研磨裏面11に裏面電極12となるAuを形成してバイアホール4内のメッキ層7と電氣的に接続することにより表面バイアホールフローが終了する。

## 【0013】

【発明が解決しようとする課題】しかしながら、上記した従来の半導体素子の製造方法では、埋め込み材料として、ポリイミドを使用しているため、以下のような問題点があった。

(1) ポリイミドをコーティング後に、350℃×1時間のベークが必要なため、FETのショットキー特性等が劣化することがあり、歩留まりが低下する。

(2) ドライエッチングによる平坦化が必要であり、TAT(Turn Around Time:納期)が長くなるとともに、ウエハ表面にポリイミドが残膜するというトラブルが発生し、外観歩留まりが低下する。

(3) 研磨後にバイアホール内のポリイミドが硬化しているため、有機溶剤等の処理により除去できないので、最終製品の出荷時にバイアホール内のポリイミドも存在してしまい、組み立て工程時にダイスボンド時のボンディング強度が低下し、品質トラブルの原因になっていた。

【0014】本発明は、上記問題点を除去し、半導体装置の特性を損なうことなく、納期の短縮化とボンディングの確実化を図り得る信頼性の高い半導体装置の製造方法を提供することを目的とする。

## 【0015】

【課題を解決するための手段】本発明は、上記目的を達成するために、

〔1〕表面バイアホールの製造において、バイアホール内の埋め込み材料として光硬化樹脂を使用することを特徴とする。

【0016】〔2〕表面バイアホールの製造において、表面バイアホールが形成されているエアーブリッジ配線のバイアホールの埋め込み材料と前記エアーブリッジ配線の下層レジストとを光硬化樹脂により同時に形成することを特徴とする。

【0017】

【発明の実施の形態】以下、本発明の実施の形態について図を参照しながら詳細に説明する。

【0018】以下、本発明の構成を、GaAs基板の表面にバイアホールを形成する例を挙げて説明する。

【0019】本発明は、表面より形成されたバイアホール内部に、超低粘度(4CPS)であり、紫外線により硬化する光硬化樹脂をウエハ研磨時に仮埋め込みし、研磨終了後、裏面電極形成後に有機溶剤等により除去することを特徴とする。

【0020】なお、本発明の製造方法で使用した光硬化樹脂としては、スリーボンド(株)製のスリーボンド3046を使用した。

【0021】以下、本発明の第1実施例の半導体装置の製造方法について説明する。

【0022】図1は本発明の第1実施例を示す半導体装置の製造工程断面図である。

【0023】(1)まず、図1(a)に示すように、GaAs基板101を用意する。

【0024】(2)次に、図1(b)に示すように、GaAs基板101上に第1のホトレジスト102を塗布し、ホトレジスト開口部103を所定の場所にホトリソグラフィ法で形成する。

【0025】(3)次に、図1(c)に示すように、ホトレジスト開口部103を有する第1のホトレジスト102をエッチングマスクとして、ドライエッチング法により、約70 $\mu$ m厚さのバイアホール104を形成する。

【0026】(4)次に、図1(d)に示すように、第1のホトレジスト102を除去後、第2のホトレジスト105を塗布し、ホトレジスト開口部106を所定の場所にホトリソグラフィ法で形成する。

【0027】(5)次に、図1(e)に示すように、ホトレジスト開口部106を有する第2のホトレジスト105をマスクにして、無電解メッキ法によりメッキAu層107を形成する。

【0028】(6)次に、図1(f)に示すように、光硬化樹脂108〔スリーボンド(株)製のスリーボンド3046〕を塗布する。コート条件としては2000rpmでスピコートを行う。この時、この光硬化樹脂108の粘度が4CPSの超低粘度であるため、2000rpmで回転することにより、ウエハ表面の樹脂は吹き飛ばされ、表面には残らず、バイアホール104内に約50 $\mu$ m程度のみ光硬化樹脂108が残存する。

【0029】(7)次に、図1(g)に示すように、紫外線109を約180mw/cm<sup>2</sup>で10sec以上照射することにより、光硬化樹脂108が硬化する。この紫外線照射によりバイアホール104内の樹脂とメッキAu層107との密着性が向上するとともに、光硬化樹

脂108の硬度が上昇し、補強材料として研磨加工時の衝撃に耐え得るようになる。

【0030】(8)次いで、図1(h)に示すように、ガラス基板110の支持体にバイアホール104のパターン側をワックスにて張り合わせを行う。次に、GaAs基板101の基板の裏面側を機械研磨法にて約50 $\mu$ m厚さまで研磨し、研磨裏面111とする。この時、バイアホール104内に光硬化樹脂108が埋め込まれているため、バイアホール104内のメッキAu層107は光硬化樹脂108で補強され、GaAs基板101より剥がれることはない。また、機械研磨法により、GaAs基板101とともに、光硬化樹脂108も研磨される。

【0031】(10)次に、図1(i)に示すように、真空蒸着法にて研磨裏面111に裏面電極112となるAuを形成してバイアホール104内のメッキAu層107と電気的に接続する。

【0032】(11)次に、図1(j)に示すように、バイアホール104内の光硬化樹脂108を有機溶剤にて除去することにより、本発明の表面バイアホール製造プロセスが終了する。

【0033】このように、第1実施例によれば、埋め込み材料として、光硬化樹脂を使用することにより、

(1)光硬化樹脂をコーティング後に、紫外線により硬化するようにしたので、従来のように350℃で1時間を要するベークが不要になり、FETのショットキー特性等、半導体装置の電気特性が劣化することがなくなり、歩留まりが向上する。

(2)ドライエッチングによる平坦化が不要であり、TATが短縮できるとともに、ウエハ表面に光硬化樹脂が残膜することがないため、外観歩留まりが向上する。

(3)研磨後にバイアホール内の光硬化樹脂を有機溶剤等により簡便に除去できるため、最終製品の出荷時にバイアホール内に異物が無いため、組み立て工程時のダイスボンディング強度が上昇し、歩留まりが向上する。

【0034】次に、本発明の第2実施例について説明する。

【0035】この実施例では、GaAs表面バイアホール及び、エアーブリッジ配線の製造方法を例に説明する。この実施例は、表面より形成されたバイアホール内部に、超低粘度(4CPS)で紫外線により硬化する樹脂を仮に埋め込み、平坦化後、それをエアーブリッジのまくらレジストとして、下層膜として使用し、エアーブリッジ形成後、有機溶剤等により除去するようにしたものである。この実施例では光硬化樹脂は、スリーボンド(株)製のスリーボンド3046を使用した。

【0036】以下、本発明の第2実施例の半導体装置の製造方法について説明する。

【0037】図2は本発明の第2実施例を示す半導体装置の製造工程断面図である。

【0038】(1) まず、図2(a)に示すように、GaAs基板201を用意する。

【0039】(2) 次に、図2(b)に示すように、第1のホトレジスト202を塗布し、ホトレジスト開口部203を所定の場所にホトリソグラフィー法で形成する。

【0040】(3) 次に、図2(c)に示すように、ホトレジスト開口部203を有する第1のホトレジスト202をエッチングマスクとして、ドライエッチング法により、約70 $\mu$ m厚さのバイアホール204を形成する。

【0041】(4) 次に、図1(d)に示すように、第1のホトレジスト202を除去後、光硬化樹脂205を塗布する。コート条件としては2000rpmでスピニングコートをを行う。この時、光硬化樹脂205の粘度が4CPSの超低粘度であるため、2000rpmで回転することによりGaAs基板201表面の樹脂は吹き飛ばされ、表面には残らず、バイアホール204内のみに約50 $\mu$ m程度のみ光硬化樹脂205が残存する。

【0042】(5) 次に、図1(e)に示すように、紫外線206を約180mw/cm<sup>2</sup>で10秒以上照射することにより光硬化樹脂205が硬化する。この紫外線照射によりバイアホール204内の樹脂とGaAs基板101との密着性が向上するとともに、樹脂の硬度が上昇し、平坦化材料として次工程のホトリソグラフィー、蒸着工程の熱処理等に耐え得るようになる。

【0043】(6) 次に、図1(f)に示すように、第2のホトレジスト207を塗布し、ホトレジスト開口部208を所定の場所にホトリソグラフィー法で形成する。

【0044】(7) 次に、図1(g)に示すように、真空蒸着法にて約7000ÅのAu層209を全面に蒸着形成する。

【0045】(8) 次に、図1(h)に示すように、有機溶剤を使用したリフトオフ法によりAu層209が蒸着された第2のホトレジスト207を基板201から剥離すると同時に、バイアホール204内に埋め込まれた光硬化樹脂205を除去することにより、Au層209のエアブリッジ配線210が形成され、製造プロセスが終了する。

【0046】このように、第2実施例によれば、バイアホール内部への平坦化及び、エアブリッジ配線の下部層材料として、光硬化樹脂を使用することにより、

(1) バイアホール内部への平坦化と、下部層の形成が同一材料で形成でき、且つ、スピニングコートという非常に簡便な方法により、エアブリッジ配線が形成できるため、工程のTATが短縮できる。

(2) エアブリッジ形成時のリフトオフと同時に、光硬化樹脂を有機溶剤等により簡便に除去できるため、TATの短縮になるとともに、最終製品の出荷時にバイアホール内に異物が無いため、組み立て工程時のダイスボンディング強度が上昇し、歩留まりが向上した。

【0047】なお、上記第1、2実施例では、GaAs基板を例に説明したが、化合物半導体全般及びSi等の元素半導体にも適用可能である。

【0048】また、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0049】

【発明の効果】以上、詳細に説明したように、本発明によれば、以下のような効果を奏することができる。

【0050】(A) 半導体装置の電気特性が劣化することがなくなり、歩留まりの向上を図ることができる。

【0051】(B) ドライエッチングによる平坦化が不要であり、TATが短縮できるとともに、ウエハ表面に光硬化樹脂が残膜することが無くなり、外観歩留まりの向上を図ることができる。

【0052】(C) 研磨後にバイアホール内の光硬化樹脂を有機溶剤等により簡便に除去できるため、最終製品の出荷時にバイアホール内に異物が無いため、組み立て工程時のダイスボンディング強度が向上する。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す半導体装置の製造工程断面図である。

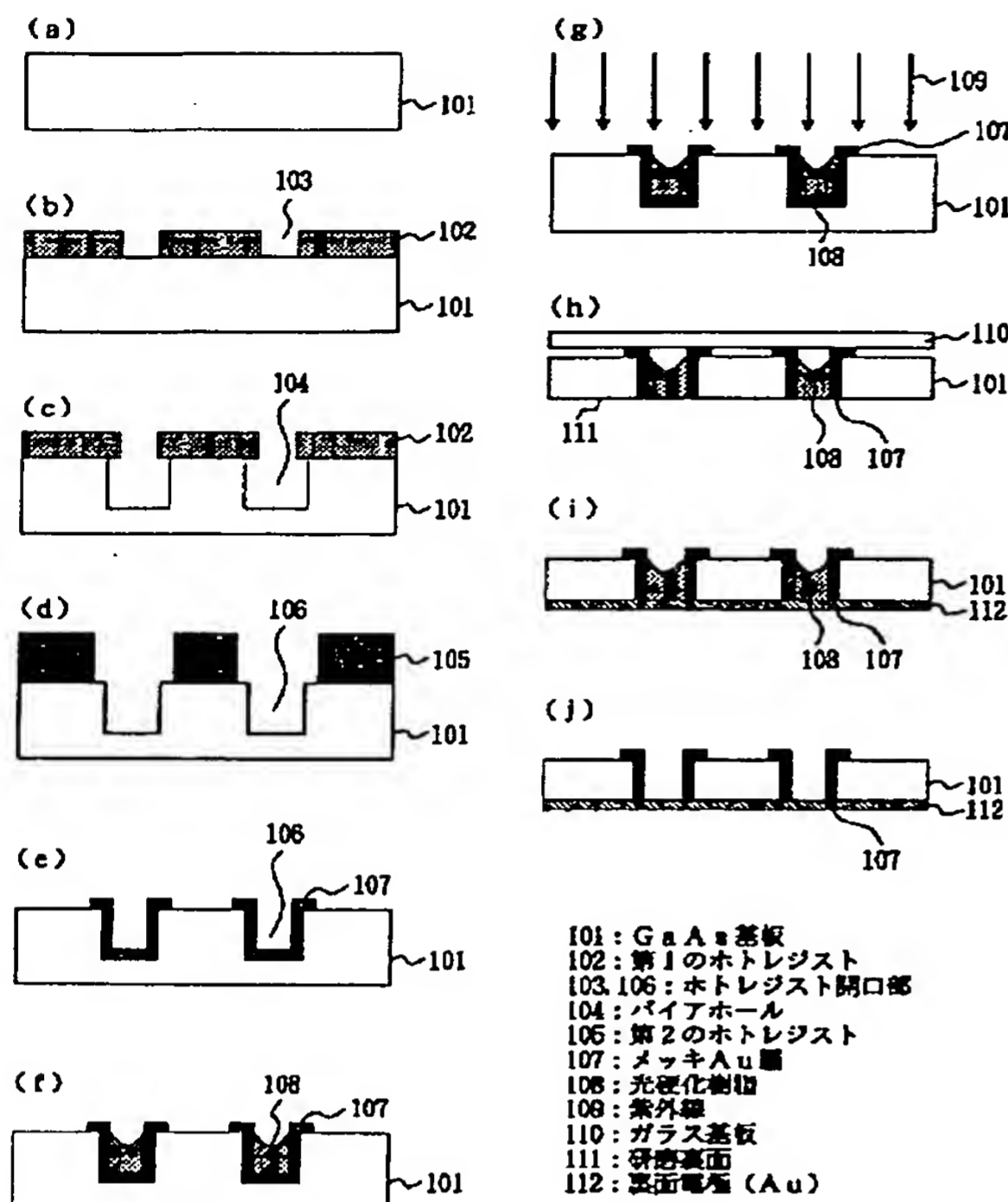
【図2】本発明の第2実施例を示す半導体装置の製造工程断面図である。

【図3】従来の表面バイアホール内への埋め込み工程図である。

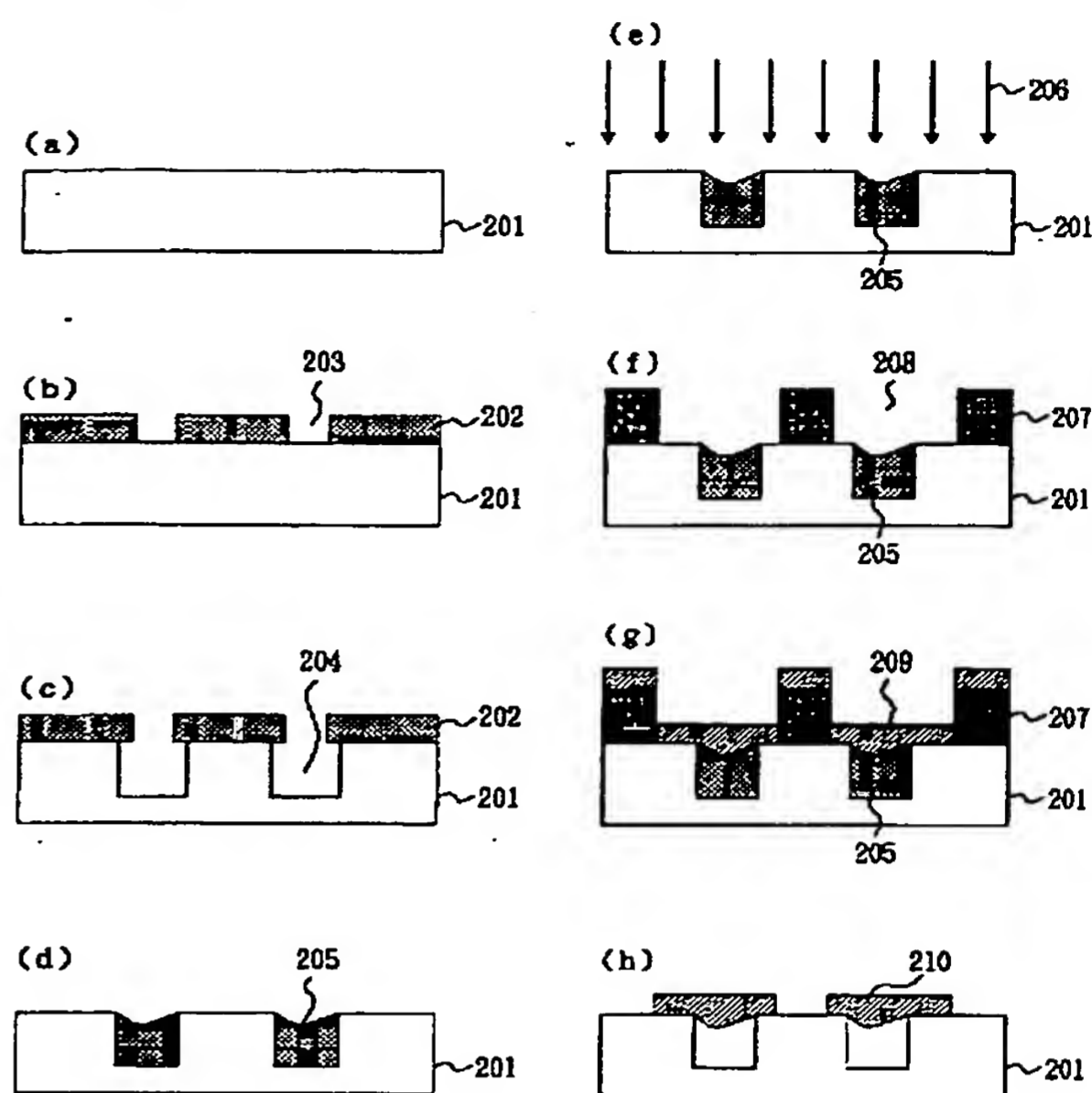
【符号の説明】

101, 201	GaAs基板
102, 202	第1のホトレジスト
103, 106, 203, 208	ホトレジスト開口部
104, 204	バイアホール
105, 207	第2のホトレジスト
107	メッキAu層
108, 205	光硬化樹脂
109, 206	紫外線
110	ガラス基板
111	研磨裏面
112	裏面電極(Au)
209	Au層(真空蒸着膜)
210	エアブリッジ配線

【図1】



【図2】



【図3】

